

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int Cl.
H 01 L 29/788
29/792
27/115

識別記号

府内整理番号

F I

技術表示箇所

8225-4M
8831-4MH 01 L 29/78 371
27/10 434

審査請求 未請求 請求項の数 1 (全 4 頁)

(21) 出願番号 特願平3-73239

(22) 出願日 平成3年(1991)4月5日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉見 正徳

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 電気的消去可能不揮発性半導体記憶装置

(57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したEEPROMにおけるF-Nトンネリングによる消去を円滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラインとで2つのEEPROMセルを構成し、各フローティングゲートの一方側をホットエレクトロンによる書き込み部位とし他方側をF-Nトンネリングによる一括消去部位として機能分離する。

【特許請求の範囲】

【請求項1】ソース領域とその両側に配置される一对のドレイン領域及びこれらの間で設定される一对のゲート領域、このゲート領域上に配置される一对のフローティングゲート及びこのフローティングゲート上に配置されるコントロールゲートを備え、上記一对の各フローティングゲートが、(a) 各々ソースオフセットを介して上記ゲート領域上に位置して一对のドレイン駆動書き込み部を構成する書き込み部位と、(b) 各々ソース両側に配置されたトンネル酸化膜上に位置して一つのソース駆動消去部を構成する消去部位、を有してなり、上記コントロールゲートが、上記一对のフローティングゲートの書き込み部位及びソースオフセット上を共通して覆うように配置されてなる電気的消去可能不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、電気的消去可能不揮発性半導体記憶装置(EEPROM)に関する。さらに詳しくは、高集積化に適したEEPROMの素子構造に関する。

【0002】

【従来の技術】従来から、電気的消去可能不揮発性半導体記憶装置(EEPROM)として種々の構造のものが知られており、いずれもいわゆるフローティングゲートを有し、ホットエレクトロンによる書き込みやF-N(Fowler-Nordheim)トンネリングによる消去/書き込みを利用している。

【0003】そして選択ゲート(セレクションゲート)を有さない、いわゆる初期のスタッガートEEPROMにおいては、ドレイン側よりホットエレクトロンによる書き込みが行なわれ、ソース側よりF-Nトンネリングによる消去が行なわれる。

【0004】しかしながら、このようにソース側よりF-Nトンネリングにより消去する構造では、しばしば過剰消去が生じてメモリセルがディブリージョン化する欠点がある。

【0005】このため、選択ゲートを組合せて上記過剰消去を防止することがしばしば行なわれている。

【0006】

【発明が解決しようとする課題】しかしながら、選択ゲートを独立して設けるとメモリーセルの専有面積が増加し、EEPROMの集積度が著しく低下する。

【0007】そのため、EEPROMを構成するソースラインとフローティングゲートとの間にオフセットを設け、このオフセット部上に選択ゲートを配置することも考えられる。

【0008】しかしながら、この場合には、オフセット幅の存在により、ソースとフローティングゲート間のF-Nトンネリングが生じ難く、データの消去を円滑に行

なうことができなかつた。また、この場合、ドレインとフローティングゲート間のF-Nトンネリングを利用することも考えられるが、これを達成するには、ドレインに比較的高電圧を印加する必要が生じる。従って、必然的にリーク電流を防止すべくドレイン接合耐圧を上昇することが要求され、そのためにはドレイン接合の膜度プロファイルをなだらかにする必要があるが、この場合には、ホットエレクトロンの発生効率が悪くなり、書き込み特性が低下する不都合があつた。

10 【0009】この発明は、かかる状況下なされたものであり、ことにソース側オフセット部に選択ゲートを構成したEEPROMにおいても、ソース側からのF-Nトンネリングによる消去を可能とする構造を提供しようとするものである。

【0010】

【課題を解決するための手段】かくしてこの発明によればソース領域とその両側に配置される一对のドレイン領域及びこれらの間で設定される一对のゲート領域、このゲート領域上に配置される一对のフローティングゲート

20 及びこのフローティングゲート上に配置されるコントロールゲートを備え、上記一对の各フローティングゲートが、(a) 各々ソースオフセットを介して上記ゲート領域上に位置して一对のドレイン駆動書き込み部を構成する書き込み部位と、(b) 各々ソース両側に配置されたトンネル酸化膜上に位置して一つのソース駆動消去部を構成する消去部位、を有してなり、上記コントロールゲートが、上記一对のフローティングゲートの書き込み部位及びソースオフセット上を共通して覆うように配置されてなる電気的消去可能不揮発性半導体記憶装置が提供される。

30 【0011】この発明は、上記課題を解決すべく、フローティングゲートを機能的に書き込み部位と消去部位に分け、消去部位側ではソースオフセットを設けることなくトンネル酸化膜を配置して1つの消去部位を構成し、書き込み部位側ではソースオフセットを設けて一对の書き込み部位を構成するという手段を講じたものである。

【0012】

【作用】ドレイン駆動書き込み部においては、ソースオフセットが確保されておりこのオフセット上のコントロールゲートを選択ゲートとすることができ、かつホットエレクトロンの注入がオフセットを有しない各ドレイン側から行なわれるため、各々円滑な書き込みが行なわれる。

40 【0013】一方、ソース駆動消去部においてはソースオフセットを有さないため、ソース領域の両側に配置されたトンネル酸化膜を介してソース側からのF-Nトンネリングが行なわれ、円滑な消去が一括して行なわれることとなる。

【0014】

50 【実施例】以下、添付図面に示す実施例に基づいてこの

発明を詳説する。

【0015】図1は、この発明の一実施例のEEPROMを示す平面構成説明図であり、図2(イ)は、図1のA-A'線断面説明図、図2(ロ)は同じくB-B'線断面説明図である。

【0016】これらの図に示すように、この発明のEEPROMは、シリコン基板表面のソースライン3とその両側に配置される一対のドレインライン4、4との間のゲート領域上に、絶縁膜を介してポリシリコンからなる1対のL字状フローティングゲート2を配設してなり、さらに、このフローティングゲート2上に層間絶縁膜を介して、共通するポリシリコンからなるコントロールゲート5を配設してなる。

【0017】上記フローティングゲート2は、図2(イ)に示すように、A-A'断面においては、ソースオフセット9を保ってゲート領域のゲート酸化膜1、1上に位置する一対の書き込み部位(狭幅部分)を有する。ここでソースドレイン幅は1.6~2.0μm、ソースオフセットは0.8~1.0μmとするのが適している。かかる書き込み部位上のコントロールゲート5は、各々のソースオフセット上で選択ゲートとしても機能する。

【0018】一方、図2(ロ)に示すように、B-B'断面においては、ソースライン3の両側に配置されたトンネル酸化膜6上を被覆する消去部位(広幅部分)を有してなる。なお、図中、7は、ロコス酸化膜からなる素子分離領域である。

【0019】かかる構造のEEPROMにおいては、上記一対の書き込み部位において、各々ドレイン側からフローティングゲートへのホットエレクトロンの注入による書き込みが行なわれる。そして、消去部位においては、ソース側から両フローティングゲート2、2へ一括してF-Nトンネリングによる消去が行なわれることとなる。そして、上記ホットエレクトロンの注入及びF-Nトンネリングがコントロールゲートを選択ゲートとして制御されることとなる。

【0020】かかる図1のEEPROMは、例えば以下のようにして作製することができる。まず、図3に示すように、シリコン基板の所定の領域にロコス酸化法により、素子分離領域7を形成した後、メモリーセルのソース構成ラインのイオン注入及び破壊のイオン注入を行ってDDD構造のソースラインを形成する。表面を熱強化に付して全面に例えば200~300Å程度のゲート酸化膜1を形成し、フォトリソグラフィのバターニング及びエッティングを行なうことにより、その一部にトンネル酸化膜用窓を形成し、フォトレジストの除去後、熱強化を行なうことにより、各々、一対のトンネル酸化膜6を形成する。

【0021】次に、CVD法により全面にポリシリコンを堆積し、N型不純物拡散してフォトエッティングするこ

とにより、図5に示すように、各々狭幅領域と広幅領域を有する一対のL字状フローティングゲート2を形成する。

【0022】上記フローティングゲート2の形成後、図6に示されるようにフォトレジスト8を用いたフォトリソグラフィにより、メモリーセルのドレイン構成ラインに砒素をイオン注入してドレインラインを形成する。

【0023】この後、フローティングゲート2の書き込み部位上に各々CVDによる層間絶縁膜(SiO₂)を被覆形成した後、ポリシリコンの堆積層へのN型不純物拡散並びに堆積層のフォトリソグラフィによるバターニング及びエッティングを行なうことにより、図7に示すごとく、コントロールゲート5を形成してこの発明のEEPROMが得られる。

【0024】

【発明の効果】以上の様に、この発明のEEPROMによれば、ソース側のオフセット部を選択ゲートとする場合においても、ソース側より円滑に消去操作ができるので、独立して消去用ゲートを設ける場合と比べメモリーセル専有面積が著しく減少され、さらなるEEPROMの高集成化を図ることが可能となる。

【0025】さらに、ホットエレクトロン発生効率の良いドレイン接合及び、消去用の高電圧においてもリーク電流の少ない、ソース接合を別々に最適化できる。従って、ドレイン側よりホットエレクトロンにより書き込み、ソース側よりF-Nトンネリングにより消去する電気的消去可能不揮発性半導体記憶装置の観点からも、その設計がより容易となり、製造工程も容易となる利点も得られる。

30 【図面の簡単な説明】

【図1】この発明の一実施例のEEPROMの平面構成説明図である。

【図2】(イ)は、図1のA-A'線断面説明図、(ロ)は、B-B'線断面説明図である。

【図3】図1のEEPROMの製造工程を示すレイアウト図である。

【図4】図3に続くレイアウト図である。

【図5】図4に続くレイアウト図である。

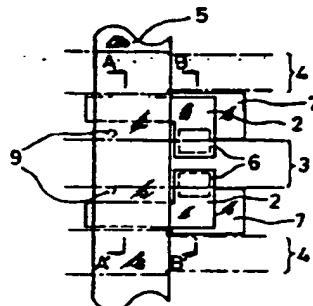
【図6】図5に続くレイアウト図である。

【図7】図6に続くレイアウト図である。

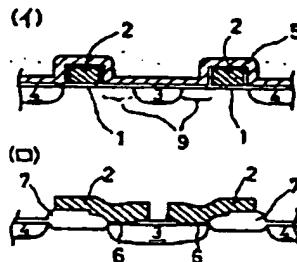
40 【符号の説明】

- 1 ゲート酸化膜
- 2 フローティングゲート
- 3 ソースライン
- 4 ドレインライン
- 5 コントロールゲート
- 6 トンネル酸化膜
- 7 素子分離領域
- 8 フォトレジスト
- 9 ソースオフセット

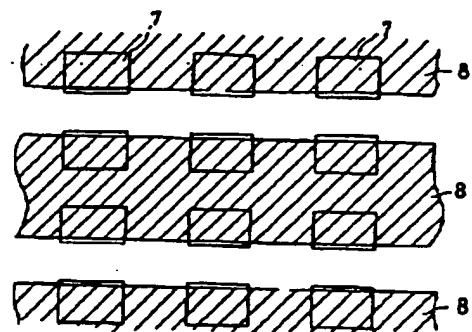
【図1】



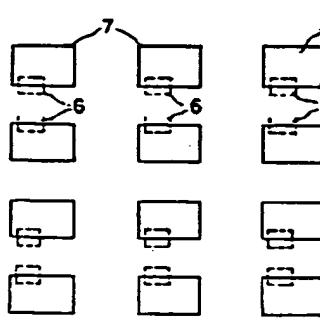
【図2】



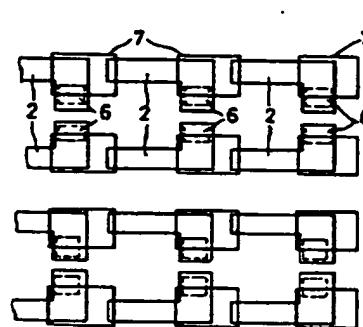
【図3】



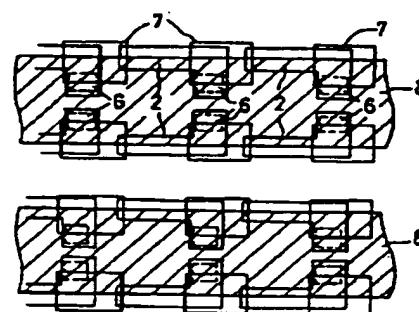
【図4】



【図5】



【図6】



【図7】

